

点接鱼骨型时钟网路设计

杨 贺,严 伟

(北京大学 软件与微电子学院,北京 100871)

摘 要:通过分析 CTS 时钟树与鱼骨型时钟树的特点,基于传统鱼骨型时钟容易出现破坏原有设计的逻辑结构的情况,采取至少保留两级门控时钟的结构,在特定点作鱼骨型时钟网络,结合设计需求,使用两种不同的与 CTS 时钟树相结合的点接鱼骨型时钟网络设计方案.在相同条件下,发现点接鱼骨型时钟网络在时钟延迟上比 CTS 少了 47%,而功耗也降了 18%,功能验证方面较于传统鱼骨型时钟更为稳定.

关键词:时钟树综合;功耗;时钟延迟;CTS;鱼骨时钟

中图分类号: TN4

文献标识码: A

文章编号: 1000—7180(2016)07—0011—04

Fishbone of Built on Clock Network Points

YANG He ,YAN Wei

(School of Software & Microelectronics,Peking University, Beijing 100871, China)

Abstract: On the analysis of characteristics of the CTS and fishbone, and based on the situation that traditional fishbone prone to destroy the logical structure of original design ,thus reserve the structure of 2 levers ICGs at least , bulid fishbone at specific points in clock network . According to the design requirements, there are two different new means of fishbone clock network combination with CTS . Under the same conditions ,the clock delay in fishbone built on clock network points is less 47% than CTS, power consumption also reduce by 16% , and function verification is more stable than traditional fishbone.

Key words: clock tree synthesis; power consumption; clock delay; CTS,Fishbone clock

1 引言

随着 IC 技术的进步和工艺水平的提高,当今对集成电路的芯片设计要求也更为严格,而芯片的性能很大程度取决于时钟网络的设计.时钟信号决定了系统的工作频率,时钟信号的噪声问题是设计时钟网络所必须考虑的,对于时钟网络,通常应用 EDA 工具生成二叉形时钟树结构^[1],这种方式实现时间短,但使用的缓冲器较多,从而时钟级数与时钟延迟较大,影响时序收敛^[2].有人提出 ASTRO 手动搭建鱼骨型时钟结构,但是操作时间很长,为了克服这些缺点,有人提出鱼骨树快速实现方法.在设计芯片时考虑控制功耗,通常加入一些集成门控时钟 ICG(integrated clock gating),快

速鱼骨树会将多级 ICG 打平为同一级进行控制,而只有一级的 ICG 控制粒度很弱,同时打平动作也有可能出现逻辑功能上的破坏.基于此,本文提出了新型鱼骨树和时钟树结合设计时钟网络的方式——点接鱼骨树结构.

2 传统鱼骨型时钟结构简介

鱼骨型时钟结构为由一个时钟源的端口连接一个金属主干(trunk),在主干上具有两端对称的另一种金属组成的分支(tributary),如图 1 所示,时钟信号经过三级缓冲器放大驱动能力,通过一段宽长的金属直接驱动负载.在此时钟上的负载单元越是集中在某一区域,那么利用鱼骨型时钟所产生的时序收敛更好.

根据 trace_clock 产生的结果,对同一时钟源的 ICG 进行级数打平动作,将多级 ICG 处理成同一级,之后对负载较多同一类型的 ICG 进行复制,再针对某些结构补充延迟逻辑来平衡,最后生成鱼骨型的结构,并对其进行绕线。

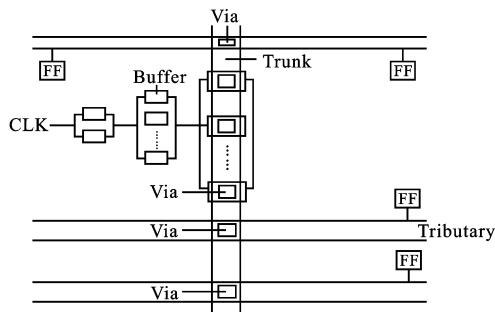


图1 鱼骨型时钟结构示意图

3 新型点接鱼骨型

3.1 原理

快速的鱼骨型时钟设计对于整体的时钟收敛效果和低耗都有十分出色的效果,但是第一阶段会将多级 ICG 打平会造成只有一级 ICG,那么多个寄存器工作就需要工作时打开多个一级 ICG,使其 E 端口的信号翻转,产生了不必要的功耗^[3]。信号的动态功耗是芯片功耗的重要部分,同时控制多个 ICG,控制粒度弱,打平动作也有可能出现逻辑功能上的破坏,而点接只需要控制第一级 ICG 就可以控制后面所有的器件的状态^[4]。

不同于快速鱼骨树是在时钟源端口直接做鱼骨型架构,我们对大小不同的芯片设计中的 Block 分两种方式处理。一种是时钟树与点接鱼骨型与时钟树结合,就是在一些特殊的点上做 fishbone,其他都做 CTS;另一种是点接鱼骨树与打平相结合的时钟网络设计方法,即除了在指定点做鱼骨树,并将同时钟源的其他 ICG 也做打平处理,再统一做成一个 fishbone,其余的时钟源仍做成二叉型时钟树。一个点接鱼骨型时钟结构的设计如图 2 所示。

3.2 点接鱼骨树结构

3.2.1 分析时钟架构

通过 trace_clock 观察各个时钟的时钟树结构,这里以 28 nm1P7M 工艺的 PS02 项目的模块为例,针对于负载数目大于 10 000 个的时钟我们采用鱼骨树结构,其他的使用 CTS 时钟树,为了更好地保持逻辑的完整,保留两级 ICG 架构,那么当两级的 ICG 总数目大于 $16 \times 16 = 256$ 时,将该点做成鱼骨形结构时钟,其他的继续生成二叉型时钟树。

3.2.2 平级处理

首先将做好时钟树的时钟源连线断开,并移除管脚。之后就是进行打平处理,所谓的打平就是使同一时钟各个 ICG 的级数相同,通过调用 IC Compiler(ICC)工具中的 flatten_clock_gating 命令实现,在这里要求至少保留两级^[5]。如图 2 所示,对于 ICG B 这类的结构,需要将它们打平处理。

对于一个原本就只有两级 ICG 的模块,只需要直接将特殊点作为新的时钟源来生成鱼骨树,而对于这类直接与第一级时钟信号相连的寄存器,可以尝试加上和 ICG 一样类型的虚拟 ICG 或者器件延迟值差不多的缓冲器,使他们的结构得到大概的平衡^[6]。

由于每个 ICG 携带的负载有限,如果负载太多器件会造成很大的信号延迟,因此我们对同一类的 ICG 进行复制,在此限制每个 ICG 输出只能携带不超过 16 个寄存器等器件,好平均分配这些负载 (SEQ),保留两级时钟结构,这就是我们之前为什么之前所要求的选择超过 $16 \times 16 = 256$ 个 ICG 数目的点作鱼骨形时钟结构,且复制的数目 $N = \text{负载数} / 16 (\text{取整}) + 1$ 。

3.2.3 构造 fishbone

鱼骨形时钟结构分为主干和分支,通常使用顶层金属 M7 和 M8,这两层的金属走线比较宽,电迁移能力很强,从而有良好的导通性来驱动那些成千上万个负载。而 IB 层留给 TOP 层已经设计好的电源,而留 1~7 层金属用作之后的绕线这样比较节省资源。根据这些负载的分布情况来选择纵向的金属层 M7 或者横向金属层 M8 作为主干,另一种金属则作为分支。

驱动数目较大的负载需要多级驱动 (multi-driver) 也是这个结构的核心,此处设计为三级驱动,并将第三级连接在分支上,用来驱动众多负载。一个 buffer 的驱动率 = 负载数目 / 第三级驱动器的数目,也就是一个第三级的驱动器可以带动多少负

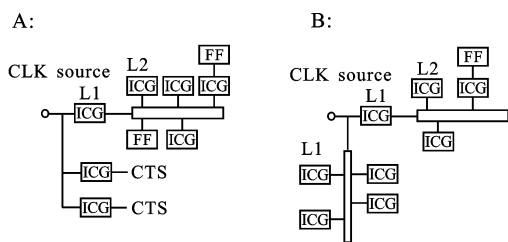


图2 一个点接鱼骨型时钟结构的设计

载,以 BufferX16 为例,因为越多的驱动进行并联,所产生驱动电流大于多个驱动器的驱动能力的简单数学加和,因此根据 spef 仿真和多次尝试的经验得到以下结论:

- (1)如果负载数<1 000,,驱动率设置为 30;
- (2)1 000<负载<3 000,驱动率设定为 35;
- (3)3 000<负载<6 000,驱动率设定为 40;
- (4)6 000<负载<1 000,驱动率设定为 45.

因此假设有该点 5 400 个负载,5 400/40=135,则可知第三级有 135 个驱动器.

查库文件可得单个 BUF 输入端电容值为 0.014 3,由于三级缓冲器紧靠放置,之间的互联线电容及其带来的寄生电容均可忽略不计^[7].同时,为了防止对后续结构带来不良影响,三级缓冲器间的过渡时间应该更小.查表得在输入输出过渡时间均为 677 ps 左右时,一个 C 可以驱动负载电容为 0.152 pF.

L_2 的驱动器数=(0.014 3×135)/0.152=13.

同理 L_1 的驱动器=(0.0143 × 13)/0.152=2,这样就计算出各级的驱动器数目了.

接下来对分支的尺寸和距离进行设定,分支的宽度(width)设为 1 μm,两条平行的分支间距(pitch)设定为 30 μm.这个间距可以有负载的密集程度决定,如果密集可以缩小或增大 pith,同时也要考虑到绕线和串扰的影响,以 30 μm 的间距为例,Cell 与分支的距离最大为 30/2=15 μm,绕线的距离最佳,如果距离太大则信号会变差,距离太近则要考虑串扰的影响.对重叠的器件进行合理摆放,之后对做好的鱼骨树结构进行绕线,使用 route_zrt_group 和 route_zrt_detail 来进行布线.

对于除了这些生成鱼骨形的节点外的位置可以进行两种选择.

A:构建 CTS 时钟树,利用 set_clock_tree_exception 加上这些已经接鱼骨形结构接点的名称,并且利用 compile_clock_tree -clock 对其他所有位置生成 CTS 时钟树如图 3 所示,可以看到白色的鱼骨形是在 CTS 上的一个节点上长出来的,而其他节点仍然以二叉形时钟树为主.

B:对同一时钟源的其他不满足做鱼骨树条件的 ICG,再进行打平处理,当满足大于 500 个 ICG 时钟时,将它们统一构建成新的一个鱼骨树结构,其他的时钟仍作二叉型时钟树,如图 4 所示.

由其他打平后的 ICG 共同组成鱼骨树,因为每个点的负载数不是很多,所以分布得相对较为疏松.

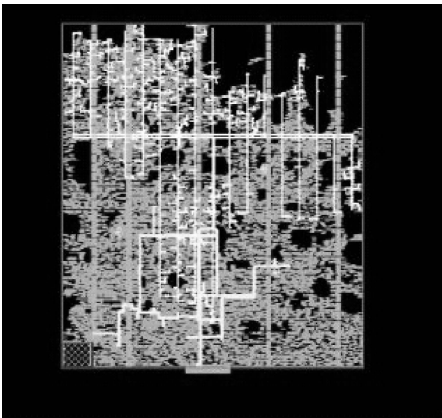


图 3 点接鱼骨树示意图

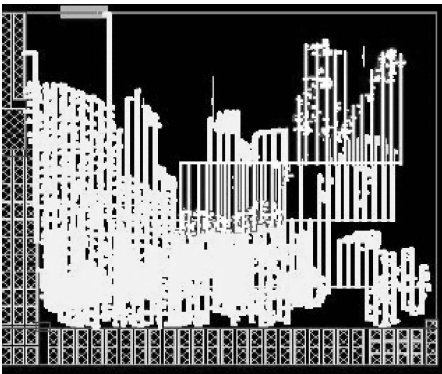


图 4 Flat 处理后点接鱼骨树示意图

4 时序分析比较及逻辑能验证

在做好整个绕线过后,选取 28 nm 的 1P7M 工艺的版图设计其中两种点接鱼骨树做法的模块进行时序报告分析如表 1、2 所示.

表 1 LCU 的时序报告表

LCU	二叉树型结构	快速鱼骨结构	点接鱼骨结构	平衡后结果
最大延迟/ns	0.769	0.731	0.767	0.725
最小延迟/ns	0.628	0.526	0.554	0.535
时钟偏差/ns	0.141	0.187	0.213	0.190
功耗/μW	50.87	42.65	41.20	41.22

表 2 FRU 的时序报告表

FRU	二叉树型结构	快速鱼骨结构	点接鱼骨结构	平衡后结果
最大延迟/ns	1.541	1.120	1.370	1.116
最小延迟/ns	1.326	0.689	0.702	0.699
时钟偏差/ns	0.215	0.431	0.668	0.417
功耗/μW	108.43	95.03	92.75	89.42

结果发现点接两种方法的最大、最小延迟都明

显减少了,偏差的效果没有设想的那么佳,因此需要利用 PT 对最差的延迟路径进行报告.利用报告的结果发现作为鱼骨形结构起点的第一级 ICG 和时钟源之间自动添加了一些缓冲单元,这时候需要平衡处理了,利用 REWIRE 动作将接点 ICG 的输入端向前移动主连接几个 buffer 的位置上,并连接起来,如图 5 所示,这样就可以减少部分缓冲器的器件延迟.最终平衡处理后的延迟和偏移(skew)还有功耗都有所减少,符合要求.

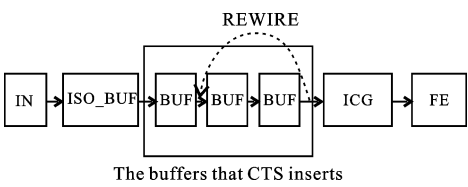


图 5 Rewire 处理示意图

在某些后端设计时,以不影响芯片功能为前提,可更改器件尺寸,或者添加缓冲器和反相器,因此也可以对于在那些已经很小的延迟路径中插如几个缓冲单元,这样的 skew 值就更佳^[8].

现有的时钟调试工具(如 pre-CT 跟踪器和时钟树浏览器)在处理大规模时钟树时性能变差,例如在 Clock-FRU 中,CTS 只是对 ICG 后面具有许多寄存器的 ICG 进行分配负载(fanout)处理,当某些 ICG 输出端没有负载时,就会出现时序问题,在 PT 结果报出 48 条最大为-1.508 的 violations,但是利用点接鱼骨树结构则很好地避免了此种问题,保证时序收敛^[9].

点接鱼骨树的 skew 并没有比 CTS 大很多,完全符合时序要求,但是信号延迟的较之 CTS 时钟树最大提高了 47.5%,并且功耗减少 18%,在这个低功耗的芯片设计市场中优势尤为突出^[10].点接鱼骨树也相对传统鱼骨树的功耗更低,逻辑功能的可行性更高,在物理验证(formal verify)中的结果发现点接鱼骨树更容易通过.

由图 6 所示的功能验证的截图可见,所有的点都通过匹配,没有破坏最初 Verilog 设计好的逻辑功能,说明点接鱼骨型时钟网络设计具有相对于传统鱼骨形更好的可行性,相对于二叉型时钟树能更

Matched	Compare	Points	BBPin	Loop	BBNet	Cut	Port	DFF	LAT	TOTAL
Passing(equivalent)		1998	0	0	0	261	37747	7	40013	
Failing(not equivalent)		0	0	0	0	0	0	0	关键	0
Not Compared										
Clock-gate	LAT							3772	3772	
Un read		0	0	0	0	0	0	0	3	9

图 6 功能验证图

好地时序收敛效果和低功耗.

5 结束语

点接鱼骨型时钟网络结构在时钟网络的实现上虽比 EDA 自动布置的二叉型时钟网络等复杂,但是随着 EDA 工具的改进和脚本更新,相信其时序和时耗的优势可以更为快捷有效地实现.

参考文献:

[1] Lin Hongting, Chuang Yilin, Pulsed-latch utilization for clock-tree power optimization[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2014, 22 (4):721-733.

[2] 阳若宁. 一种低功耗集成电路的时钟分布策略[J]. 中南林业科技学报, 2011,31(12):192-196.

[3] 桑红石, 张志. 数字集成电路物理设计阶段的低功耗技术[J]. 微电子学与计算机, 2011,28(4):73-75.

[4] Li H, Bhunia S, Chen Y, et al. DCG: deterministic clock-gating for low-power microprocessor design[J]. IEEE Transactions on Very Large Scale Integration Systems, 2004, 12(3): 245-254.

[5] 张杰, 孙大成. 65 nm 工艺下百万门级芯片的物理设计[J]. 中国集成电路, 2012(增刊 1):31-35.

[6] 陈菲菲. 鱼骨型时钟结构的快速实现方法[J]. 微电子学与计算机, 2014,31(2):153-156.

[7] Wang J, Wang X. An energy-efficient, distributed wireless multicast protocol based on concurrent CTS and N,2connectivity[J]. Wireless Networks, 2010, 16(7): 2031-2048.

[8] 童琼. 双频双系统导航芯片的时钟树分析和设计[J]. 微电子学, 2011,41(2):245-250.

[9] 于亭亭. 时钟树分析器(CTA): Encounter 中一种新的时钟树分析工具[J]. 电子设计应用, 2008, 6(11): 63-65.

[10] Ha S, Matej S, Ispiryan M, et al. GPU-acclerated forward and back-projections with spatially varying kernels for 3D direct tof pet reconstruction[J]. IEEE Transactions on Nuclear Science, 2013, 60 (1): 166-173.

作者简介:

杨 贺 男, (1989-), 硕士研究生. 研究方向为数字芯片后端设计.

严 伟(通讯作者) 男, (1966-), 博士, 副教授. 研究方向为数字芯片设计. E-mail: yanwei@ss. pku. edu. cn.